

Heung-Lyul CHO et al.
April 17, 2004
BSKB
(103)205-8000
0630-1978P
1041



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0021139
Application Number

출원년월일 : 2003년 04월 03일
Date of Application APR 03, 2003

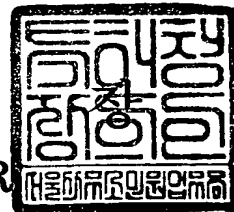
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2004 년 02 월 27 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2003.04.03
【국제특허분류】	G02F 1/13
【발명의 명칭】	액정표시장치의 제조방법
【발명의 영문명칭】	MANUFACTURING METHOD OF THE LIQUID CRYSTAL DISPLAY DEVICE
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	조흥렬
【성명의 영문표기】	CHO,Heung Lyul
【주민등록번호】	730116-1018042
【우편번호】	135-772
【주소】	서울특별시 강남구 개포동 주공아파트 408동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG,Youn Gyoung
【주민등록번호】	720809-2042017
【우편번호】	437-734
【주소】	경기도 의왕시 오전동 LG진달래아파트 103동 807호
【국적】	KR
【발명자】	
【성명의 국문표기】	류순성
【성명의 영문표기】	Y00,Soon Sung

【주민등록번호】 661229-1228318
【우편번호】 435-040
【주소】 경기도 군포시 산본동 금강아파트 915동 1402호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
박장원 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 33,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액정표시장치의 박막트랜지스터의 제조공정에 관한 것으로서 특히 박막트랜지스터의 제조를 위하여 3마스크를 적용하는 것에 관한 것이다. 액정표시장치의 박막트랜지스터를 제조하기 위하여 먼저 제 1마스크를 사용하여 게이트 전극 패턴을 형성하는 단계와, 상기의 게이트 전극 상에 게이트 절연막과 액티브층을 순차적으로 형성하는 단계와, 제 2 마스크를 적용하여 소오스 및 드레인 전극이 형성될 영역을 오픈하는 단계와, 소오스/드레인 전극 영역의 액티브층을 제거하는 단계와, 포토레지스트의 일부를 제거하고 도전막을 증착하는 단계와, 리프트 오프(lift off)공정에 의해 도전막과 포토레지스트를 제거하는 단계와, 상기 결과물에 보호막을 형성하고 제 3 마스크를 적용하여 화소영역을 오픈하는 단계와, 리프트 오프 공정에 의해 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법에 관한 것으로서 공정의 단순화를 이룩하고 액정표시장치의 제조비용을 절감하는 효과를 얻을 수 있다.

【대표도】

도 3j

【색인어】

리프트 오프(lift off), 3 마스크

【명세서】

【발명의 명칭】

액정표시장치의 제조방법 {MANUFACTURING METHOD OF THE LIQUID CRYSTAL DISPLAY DEVICE}

【도면의 간단한 설명】

도 1a~ 1e는 종래의 5마스크를 통하여 액정표시장치의 박막트랜지스터를 제조하는 공정을 나타내는 수순도.

도 2a ~2h는 종래의 4마스크를 통하여 액정표시장치의 박막트랜지스터를 제조하는 공정을 나타내는 수순도.

도 3a ~ 3j는 본 발명의 3마스크를 통하여 액정표시장치의 박막트랜지스터를 제조하는 공정을 나타내는 수순도.

***** 도면의 중요부분에 대한 부호의 간단한 설명 *****

300:기판	301:게이트 전극
302:게이트 절연막	303a:채널영역
306a:소오스 전극	306b:드레인 전극
307:보호막	309a:화소전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 액정표시장치의 스위칭소자로 사용되는 박막트랜지스터(Thin Film Transistor)를 제조하는 공정에 관한 것으로서, 특히 박막트랜지스터의 제조를 위한 마스크의 숫자를 줄임으로서 공정의 단축을 이루고자 한 것이다.
- <10> 액정표시장치는 TFT어레이 기판 상의 화소전극과 컬러필터 상의 공통전극 사이에 인가되는 전계에 따라 회전하는 성질을 가진 액정의 배열을 조절함으로써 화면에 원하는 정보를 표시하는 장치이다. 이때 TFT어레이 기판에 존재하는 화소전극에 전압을 인가하고 데이터 신호를 스위칭하는 것이 박막트랜지스터인데, 본 발명은 이 박막트랜지스터의 제조공정에 관한 것이다.
- <11> 액정표시장치의 제조에 있어서 마스크의 숫자는 공정의 수와 직결되는 것으로써, 공정의 수를 줄이는 것이 생산량과 수율을 향상하는데 지대한 영향을 주기 때문에 박막트랜지스터의 제조를 위한 마스크의 수를 줄이는 노력이 계속되어 왔다.
- <12> 오늘날에는 주로 5 마스크 또는 4 마스크를 적용하여 박막트랜지스터를 제조하는 방법이 제시되고 있다.
- <13> 종래 액정표시장치의 박막트랜지스터(Thin Film Transistor, TFT)의 제조공정을 아래 도면을 참조하여 설명한다.
- <14> 도 1a ~ 1e 은 5마스크를 사용하여 박막트랜지스터를 제조하는 공정을 나타낸다.

- <15> 먼저, 도1a에 도시한 바와 같이 기판(1)의 상부에 게이트 전극물질(11)을 형성한다. 보통 게이트 전극물질은 금속으로서 스퍼터링(sputtering)방법에 의하여 기판 위에 형성한다. 통상, 금속막은 스퍼터링 방법에 의해 증착을 한다.
- <16> 기판 위에 곧바로 금속막을 증착하지않고 기판 내의 불순물이 소자영역으로 확산하는 것을 차단하기 위하여 기판 상에 산화막을 형성할 수도 있다.
- <17> 상기의 게이트 배선을 형성하기 위한 금속막은 소정의 시간동안 박막트랜지스터에 전압을 유지시키기 위한 저장영역의 배선과 게이트 패드부로서역의 역할도 수행한다.
- <18> 상기의 게이트 금속막을 형성한 다음, 포토레지스트(도면상에 미도시)를 상기 금속막 위에 증착하고 제1 마스크(도면상에 미도시)를 통해 포토리소그래피 (photolithography)를 실시하여 기판(1)의 채널영역, 저장영역 및 게이트 패드부 패턴(2)을 선택적으로 형성한다.
- <19> 그리고, 도1b에 도시한 바와 같이 상기 결과물의 상부에 SiN_x 재질을 갖는 게이트 절연막(3)과, 액티브층(4)을 순차적으로 형성한 다음, 제2 마스크(도면상에 미도시)를 통해 포토리소그래피를 실시하여 상기 액티브층(4)이 상기 채널영역 상에 잔류하도록 선택적으로 식각한다. 이때, 액티브층(4)은 비정질 실리콘(a-Si)과 고농도의 엔(N) 도핑 비정질 실리콘을 적층하여 형성한다.
- <20> 상기의 절연층(SiN_x) 및 액티브층의 증착은 통상 플라즈마화학기상증착 방법(plasma enhanced chemical vapor deposition, PECVD)방법에 의해 이루어진다.
- <21> PECVD법이란 전기장에서 가속되는 플라즈마 상태의 불활성 기체의 이온들이 반응 가스 와 충돌하여 반응 가스들을 여기 시키고 여기된 반응가스들이 기판의 용융점 이하에서도 증착 될 수 있게 하는 증착방법이다.

<22> 그리고, 도1c에 도시한 바와 같이 상기 결과물의 상부에 소스/드레인 전극물질을 형성한 다음, 제3 마스크(도면상에 미도시)를 통해 포토리소그라피를 실시하여 상기 소스/드레인 전극물질이 상기 채널영역 상에서는 상기 액티브층(4)의 양측에 이격되어 소스/드레인 영역(5,6)으로 적용될 수 있도록 식각하고, 상기 저장영역 상에서는 게이트 절연막(3)의 상부에 잔류하는 전극(7)으로 적용될 수 있도록 식각하여 하부의 게이트 패턴(2)과 함께 게이트 절연막(3)을 통해 저장 커패시터로 적용함과 아울러 데이터 패드부의 게이트 절연막(3) 상부에 잔류하는 전극(8)으로 적용될 수 있도록 선택적으로 식각한다.

<23> 그리고, 도 1d에 도시한 바와 같이, 상기 결과물의 상부에 보호막(9)을 형성한 다음, 제 4 마스크(도면상에 미도시)를 통해 포토리소그라피를 실시하여 상기 채널영역의 드레인 영역(6), 저장영역의 전극(7), 게이트 패드부의 게이트 패턴(2) 및 데이터 패드부의 전극(8)이 노출되도록 선택적으로 식각한다.

<24> 그리고, 도 1e에 도시한 바와 같이 상기 결과물의 상부에 전극물질을 형성한 다음, 제5 마스크(도면상에 미도시)를 통해 포토리소그라피를 실시하여 상기 채널영역의 드레인 영역(6)과 저장영역의 전극(7)을 접속시키는 화소전극(10)을 형성함과 아울러 게이트 패드부의 게이트 패턴(2)과 연결되는 배선(11) 및 데이터 패드부의 전극(8)과 연결되는 배선(12)을 동시에 형성할 수 있도록 선택적으로 식각한다.

<25> 상기한 바와 같은 종래 액정표시장치의 제조방법은 5개의 마스크를 적용하여 포토리소그라피를 실시함에 따라 제조비용의 절감 및 공정 단순화 등에 한계를 갖는 문제점이 있었다.

<26> 따라서, 4개의 마스크가 적용되는 액정표시장치의 제조방법이 제안되었다. 4개의 마스크를 적용한 종래 액정표시장치의 제조방법을 첨부한 도2a 내지 도2g의 단면도를 참조하여 상세히 설명한다.

- <27> 먼저, 도2a에 도시된 바와 같이 유리기판(21)의 상부에 전극물질을 형성한 다음 제1 마스크(도면상에 미도시)를 통해 포토리소그라피를 실시하여 기판(21)의 채널영역, 저장영역 및 게이트 패드부 상에 게이트 패턴(22)을 선택적으로 형성한다.
- <28> 그리고, 도2b에 도시한 바와 같이 상기 결과물의 상부에 SiN_x 재질의 게이트 절연막(23), 액티브층(24) 및 전극물질로 이루어진 전극층(25)을 순차적으로 형성한다. 이때, 액티브층(24)은 비정질 실리콘(a-Si)과 고농도의 엔(N+) 도핑한 반도체 층이다.
- <29> 그리고, 도2c에 도시한 바와 같이 상기 전극층(25)의 상부에 감광막(PR21)을 형성한 다음 제2 마스크(M2)를 통해 포토리소그라피를 실시하여 상기 채널영역, 저장영역 및 데이터 패드부 상에 선택적으로 잔류하는 감광막(PR21)의 패턴을 형성한다. 상기 채널영역 게이트 패턴(22) 상의 전극층(25) 상부에서는 감광막(PR21)에 회절노광을 적용하여 다른 영역의 감광막(PR21) 패턴에 비해 얇은 두께를 갖도록 한다. 상기의 과정에서 게이트 전극 상부의 회절노광된 포토레지스트는 일부가 제거됨으로 향후 서로 다른 식각율을 나타낼 수 있다.
- <30> 도 2d는 상기 감광막(PR21)의 패턴을 통해 포토레지스트가 제거되고 노출된 영역의 적층막을 상기 게이트 절연막(23)이 노출될 때까지 식각한 것을 나타낸다.
- <31> 그리고, 도2e에 도시한 바와 같이 상기 회절노광이 적용되어 다른 영역의 감광막(PR21) 패턴에 비해 얇은 두께를 갖는 채널영역 게이트 패턴(22) 상의 전극층(25) 상부 감광막(PR21)을 선택적으로 제거한다.
- <32> 그리고, 도2f에 도시한 바와 같이 상기 감광막(PR21) 패턴이 선택적으로 제거되어 노출된 전극층(25)을 식각하고, 계속해서 액티브층(24)을 소정의 두께만큼 식각하여 액티브층(24)

의 양측 상부에 이격되는 소스/드레인 영역(26,27)을 형성한 다음 상기 잔류하는 감광막(PR21)의 패턴을 제거한다.

<33> 그리고, 도 2g에 도시한 바와 같이 상기 결과물의 상부전면에 SiNx 재질의 보호막(28)을 형성한 다음, 제3 마스크(도면상에 미도시)를 통해 포토리소그라피를 실시하여 상기 채널영역의 드레인 영역(27), 저장영역의 전극층(25), 게이트 패드부의 게이트 패턴(22) 및 데이터 패드부의 전극층(25)이 노출되도록 선택적으로 식각한다.

<34> 그리고, 도 2h에 도시한 바와 같이 상기 결과물의 상부에 전극물질을 형성한 다음 제4 마스크(도면상에 미도시)를 통해 포토리소그라피를 실시하여 상기 채널영역의 드레인 영역(27)과 저장영역의 전극층(25)을 접속시키는 화소전극(29)을 형성함과 아울러 게이트 패드부의 게이트 패턴(22)과 연결되는 배선(30) 및 데이터 패드부의 전극층(25)과 연결되는 배선(31)을 동시에 형성할 수 있도록 선택적으로 식각한다.

<35> 상기한 바와 같은 4개의 마스크를 적용하여 포토리소그라피를 실시한 액정표시장치의 제조방법은 5개의 마스크를 적용하는 것에 비해 제조비용을 절감시키고, 공정을 단순화할 수 있게 된다.

<36> 즉, 마스크의 사용개수를 최소화하는 것이 제조비용 절감 및 공정 단순화에 기여할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<37> 본 발명은 상기와 같이 오늘날의 액정표시장치의 박막트랜지스터의 제조공정에 사용되는 5마스크 및 4 마스크 공정보다도 마스크의 수를 더욱 줄임으로써 공정의 단순화를 이루고 비용 절감 및 수율 향상에 이바지 하고자 하는 것을 그 목적으로 한다.

【발명의 구성 및 작용】

- <38> 본 발명은 상기와 같이 마스크 수를 줄여 3마스크를 사용하고도 박막트랜지스터를 제조할 수 있는 기술을 제시한다.
- <39> 본 발명은 기판 상에 제 1마스크를 적용하여 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상에 게이트 절연막과 액티브층을 연속하여 형성하는 단계와, 상기의 액티브층 상에 포토레지스트를 도포하고 제 2마스크를 적용하여 소오스/드레인 영역 부를 오픈 하는 단계와, 상기 소오스/드레인 형성영역부에 존재하는 액티브층을 제거하는 단계와, 상기 포토레지스트를 에칭하여 그 일부를 제거하는 단계와, 상기 결과물에 도전막을 형성하고 제 1리프트 오프(lift off)공정에 의해 소오스/드레인 전극을 형성하는 단계와, 상기의 결과물 상에 보호막과 포토레지스트를 연속하여 형성하고 제 3마스크를 적용하여 화소 영역을 오픈 하는 단계와, 상기 화소 영역에 존재하는 보호막과 액티브층을 제거하는 단계와, 상기 소오스 전극 측면에 존재하는 액티브층을 선택적으로 제거하는 단계와, 상기의 결과물 상에 투명전극을 증착하는 단계와, 제 2리프트 오프(lift off)공정에 의해 포토레지스트와 보호막을 제거하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <40> 본 발명의 액정표시장치의 박막트랜지스터의 제조 공정을 도 3a~3j를 통하여 상세히 설명한다.
- <41> 도 3a에 도시한 바와 같이, 먼저 기판(300) 상에 게이트 전극 형성을 위한 박막을 스퍼터링 방법에 의해 증착한다. 스퍼터링 방법은 전기장에 의해 가속된 전자를 비활성 기체와 충돌시켜 비활성 기체를 이온화시킨 다음, 비활성 기체를 전기장에 의한 가속시키고 타겟 물질에 충돌시켜 타겟물질을 비산시켜 기판에 증착하는 방법이다.

- <42> 게이트 전극 형성용 금속막 상에 포토레지스트를 도포한다. 상기 포토레지스트를 제 1마스크를 적용하여 포토리소그래피 공정에 의해 게이트 전극의 패턴(301)을 형성한다.
- <43> 다음으로, 도 3b에서와 같이 상기의 게이트 전극(301) 상에 게이트 절연막(302)과 비정질 실리콘막(303)과 고농도의 n층(304)으로 이루어진 액티브층을 순차적으로 형성한다. 다음으로, 상기의 결과물에 포토레지스트(305)를 도포하고 소오스/드레인 전극이 형성될 영역을 패터닝한다. 소오스/드레인 전극 형성 영역의 패턴은 제 2마스크(미도시)를 포토레지스트(305) 상에 위치하고 포토리소그래피 공정에 의해 선택적으로 오픈 함으로써 이루어진다.
- <44> 제 2마스크는 소오스/드레인 패턴을 포함하는 것으로써, 제2 마스크를 통하여 상기 포토레지스트(305)에 노광이 이루어지면 이후의 포토레지스트 현상(developing)공정에서 제거가 되어 소오스/드레인 형성영역이 오픈 된다.
- <45> 상기에서 광에 의해 노광된 영역의 포토레지스트가 현상공정 시 제거되는 것을 포지티브 포토레지스트 (positive PR)라고 한다. 반대로 노광에 의해 광에 노출된 영역이 포토레지스트 현상공정 시 제거되지 않는 포토레지스트는 네거티브 포토레지스트 (negative PR)라고 한다.
- <46> 다음으로 도 3C에서 도시한 바와 같이 소오스/드레인 전극이 형성될 영역을 선택적으로 식각을 실시한다.
- <47> 상기의 식각 결과, 포토레지스트(305)는 소오스/드레인이 형성될 영역 이외의 영역과 채널이 형성될 영역을 덮고 있게 되는데 소오스/드레인 전극을 형성하기 위해서는 채널영역의 가장자리의 포토레지스트(PR)를 일부 제거할 필요가 있다.

- <48> 도 3d는 상기의 목적을 위하여 산소(O₂)분위기에서 PR(305)의 일부를 산화시킴으로써 제거한다. 그 결과, 상기 PR(305)는 전체로 그 크기가 줄어들고 채널 형성 영역의 상부 가장자리 부분이 노출되게 된다.
- <49> 상기에서 산소 분위기에서 PR(305)를 산화시키는 공정을 에칭(ashing)공정이라 하는데 이는 산소를 포함하는 가스를 챔버내에 불어넣어 줌으로써 산화 반응과 함께 반응한 물질을 제거하는 공정이다. 상기 도3d의 공정에서는 PR(305)의 일부만 제거가 되도록 에칭 시간과 온도 등을 조절하여 채널 영역 가장자리의 일부가 노출될 수 있도록 한다.
- <50> 다음으로, 도 3d의 결과물에 도전막(306)을 형성한다.
- <51> 상기의 결과, 도 3d에서 도시된 바와 같이 포토레지스트(305)상에 도전막이 증착된 구조를 하고 있다.
- <52> 본 발명은 상기의 포토레지스트(305)와 그 상부에 형성되어 있는 도전막(306)을 동시에 제거하기 위하여 리프트 오프(lift off)공정을 적용한다.
- <53> 즉, 도 3e의 결과물에 리프트 오프 공정을 적용하면 포토레지스트와 포토레지스트 상부에 형성되어 있는 도전막(306)은 동시에 제거되고 소오스와 드레인 전극 패턴만이 남게된다.
- <54> 리프트 오프(lift off)공정이란 포토레지스트로 패턴을 미리 형성하고 그 위에 금속막을 형성한 다음, 포토레지스트 제거기(PR stripper)내에서 PR을 제거할 때 PR상부의 금속막도 한꺼번에 뜯겨져 나가게 하는 공정이다.
- <55> 도 3f는 도 3e의 결과물에서 리프트 오프 공정을 적용하여 PR(305)과 PR(305)상의 도전막을 동시에 제거하고 소오스(306a)/드레인(306b) 전극 패턴이 형성된 모습을 도시하고 있다.

- <56> 다음으로, 도 3g에서 도시한 바와 같이, 리프트 오프 공정에 의해 소오스/드레인 전극이 형성된 기판 상에 보호막(307)을 형성한다. 상기 보호막 상에 포토레지스트를 도포하고 제 3 마스크를 적용하여 박막트랜지스터가 형성되는 영역 위에 PR패턴이 남도록 포토리소그래피 공정을 실시한다. 그 결과, 도 3g에서와 같이 박막트랜지스터가 형성되는 영역의 상부에 PR패턴(308)이 형성된다.
- <57> 상기 도 3g의 포토레지스트를 마스크로 적용하여 식각공정을 진행하여 화소전극이 형성될 영역 상의 액티브층(303)과 보호막(307) 및 게이트 절연막(302)을 제거한다. 상기의 결과, 화소전극이 형성될 영역은 기판이 노출되고 이후 투명전극을 증착하여 화소전극을 형성하게 된다.
- <58> 상기 공정 이후에 화소전극 형성을 투명전극을 증착하는데 투명전극과 드레인 전극(306a)은 일부가 오버-랩 됨으로써 전기적으로 연결되어야 한다. 드레인 전극(306a)의 일부를 노출시키기 위하여 플루오르(F)성분을 포함하는 가스를 적용하여 사이드 식각을 실시함으로써 드레인 전극(306a)상부의 보호막을 일부 제거한다. 드레인 전극과 화소전극을 전기적으로 연결시키기 위해서 드레인 전극은 $1\mu\text{m}$ 내외로 노출되도록 하면 충분하다.
- <59> 도 3h는 플루오르 기반의 가스를 적용하여 보호막(307)에 사이드 식각이 이루어진 모습을 도시하고 있다.
- <60> 도 3h를 참조하면 소오스 전극의 일 측에 액티브층(303b)이 잔존하고 있다. 상기의 액티브층으로 인하여 데이터 배선과 화소전극이 너무 인접하게 됨으로 데이터 배선을 통하여 정보가 입력될 때 인접하는 화소전극과 상호작용을 일으켜 화소가 깜빡이는 크로스-토크(cross-talk)현상이 심하게 발생한다.

- <61> 상기의 문제점을 해결하기 위해 소오스 전극의 일 측에 식각되지 않고 잔존하는 액티브층을 식각할 필요가 있다. 액티브층은 염소(Cl₂)가스를 기반으로 하는 식각 가스를 통하여 사이드에치를 실시한다.
- <62> 소오스 전극과 인접하는 화소전극과의 이격을 위하여 약 3 μ m내외로 액티브층을 식각하여 제거한다. 도 3i에서 k영역은 상기의 사이트 에치가 이루어진 액티브층을 도시하고 있다.
- <63> 상기의 액티브층의 사이드 에치와 상기 도 3h에서 도시된 바와 같이 플루오르 기반으로 한 보호막의 사이드에치는 따로따로 공정이 진행 될 수도 있고, 한꺼번에 공정이 진행 될 수도 있다.
- <64> 상기의 도 3i는 사이드에치가 이루어진 액티브층을 포함하고 상기의 결과물에 화소전극을 형성하기 위한 투명전극(309)을 증착한 모습을 도시하고 있다. 화소전극 형성용 투명전극(309)은 박막트랜지스터 상부의 포토레지스트(308) 상과 기판(300) 상의 화소영역과 드레인 전극의 노출 부위에 증착이 이루어진다.
- <65> 투명전극은 도전성과 광의 투과성이 좋은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)를 사용할 수 있다.
- <66> 다음으로, 도 3i의 결과물에 존재하는 포토레지스트를 제거하는 리프트 오프(lift off) 공정을 수행한다. 상기의 결과, 포토레지스트가 제거됨과 더불어 포토레지스트 상부에 형성된 투명전극도 함께 뜯겨져 나가게 된다.
- <67> 상기의 결과, 기판 상의 화소전극(309a) 패턴만 남고 그 이외의 영역의 투명 전극은 제거되어 화소전극(309a)이 완성된다.

<68> 도 3j는 박막트랜지스터 상부의 포토레지스트와 투명전극을 리프트 오프(lift off)공정에 의해 제거하고 박막트랜지스터 완성된 결과를 도시하고 있다.

【발명의 효과】

<69> 본 발명은 상기한 바와 같이 게이트 전극 패턴을 형성할 때 제 1 마스크를 사용하여 게이트 패턴을 형성하고, 소오스/드레인 형성 영역을 패터닝하기 위하여 제 2마스크를 사용하고, 화소영역의 패턴을 형성하기 위하여 제 3 마스크를 적용하여 박막트랜지스터를 제조 할 수 있게 함으로써 박막트랜지스터를 제조하기 위한 마스크의 수를 획기적으로 줄임으로써 공정을 단순화하고, 종래의 4마스크 공정에 사용되는 슬릿 마스크를 사용하지 않음으로써 마스크 비용을 획기적으로 줄이는 효과를 얻을 수 있다.

【특허청구범위】

【청구항 1】

기판 상에 제 1마스크를 적용하여 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막과 액티브층을 연속하여 형성하는 단계;

상기의 액티브층 상에 포토레지스트를 도포하고 제 2마스크를 적용하여 소오스/드레인 영역부의 포토레지스트를 제거하는 단계;

상기 소오스/드레인 영역부에 존재하는 액티브층을 제거하는 단계;

상기 결과물 상에 소오스/드레인 전극을 형성하는 단계;

상기의 결과물 상에 보호막과 포토레지스트를 연속하여 형성하고 제 3마스크를 적용하여 화소 영역부를 정의하는 단계;

상기 화소 영역에 존재하는 보호막과 액티브층과 게이트 절연막을 제거하는 단계;

상기의 결과물 상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 2】

제 1항에 있어서, 상기 제 2마스크를 적용하여 소오스/드레인 영역부의 포토레지스트를 제거하는 단계 다음으로, 상기 결과물에 잔존하는 포토레지스트를 에칭(ashing)하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

【청구항 3】

제 2항에 있어서, 상기 에칭 결과, 액티브 층의 일부가 노출되는 것을 특징으로 하는 액정표시장치 제조 방법.

【청구항 4】

제 1항에 있어서, 상기 화소영역 내의 보호막과 액티브층과 게이트 절연막을 제거하는 단계 다음으로 사이드 식각을 통하여 보호막의 일부를 제거하고 드레인 전극의 일부를 노출시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조 방법.

【청구항 5】

제 4항에 있어서, 상기 보호막의 사이드 식각은 플루오르(F)이온을 포함하는 가스를 이용하여 이루어지는 것을 특징으로 하는 액정표시장치 제조 방법.

【청구항 6】

제 1항에 있어서, 상기 화소영역내의 보호막과 액티브층과 기판 상의 게이트 절연막을 제거하는 단계 다음으로 사이드 식각을 통하여 소오스 전극 측면에 잔존하는 액티브층의 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조 방법.

【청구항 7】

제 6항에 있어서, 상기 액티브층의 제거는 염소(Cl₂)가스를 포함하는 가스를 이용하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

【청구항 8】

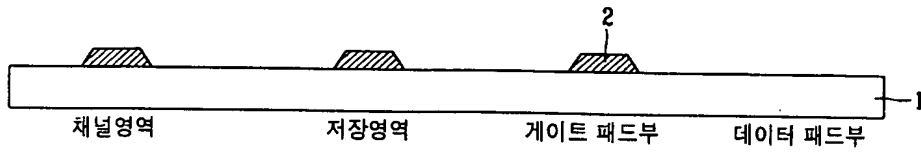
제 1 항에 있어서, 상기 소오스/드레인 전극 형성단계는 소오스/드레인 영역부에 존재하는 액티브층을 제거하는 단계 다음으로 소오스/드레인 형성용 도전막을 증착하고 소오스/드레인 영역외에 존재하는 포토레지스트와 상기 포토레지스트 상부의 도전막을 동시에 제거하는 리프트 오프(lift off)공정을 적용함으로써 소오스/드레인 전극을 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

【청구항 9】

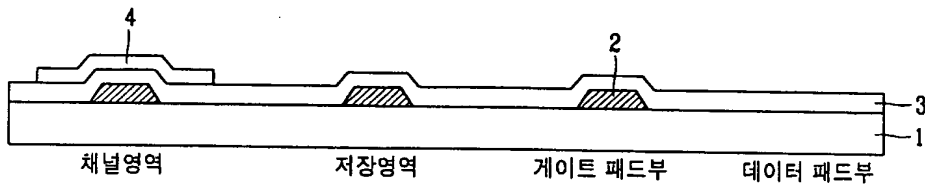
제 1 항에 있어서, 상기 화소 영역을 형성하는 단계는 화소영역에 존재하는 보호막과 액티브층과 게이트 절연막을 제거한 후에 상기의 결과물에 투명전극을 형성하고 리프트 오프 (lift off)공정을 적용하여 화소영역외에 존재하는 포토레지스트와 상기 포토레지스트 상부의 투명전극을 동시에 제거함으로써 화소전극을 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

【도면】

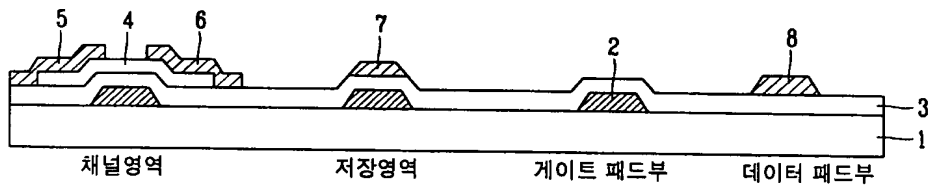
【도 1a】



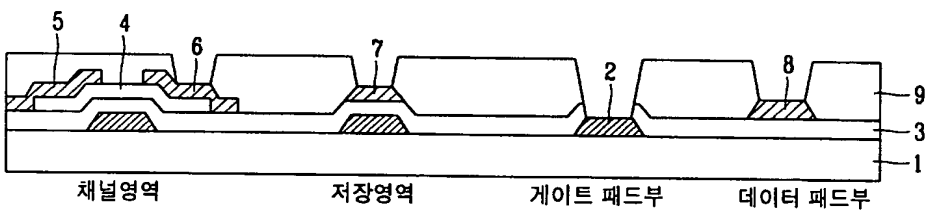
【도 1b】



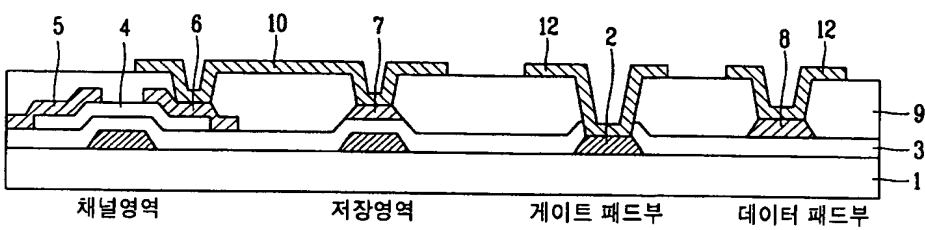
【도 1c】



【도 1d】



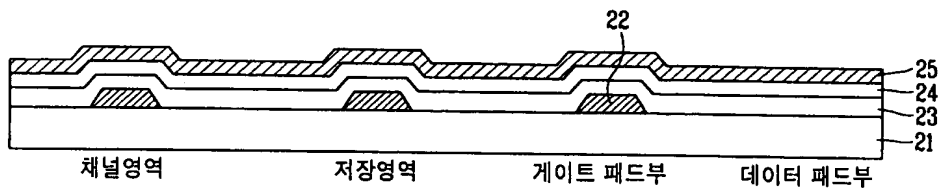
【도 1e】



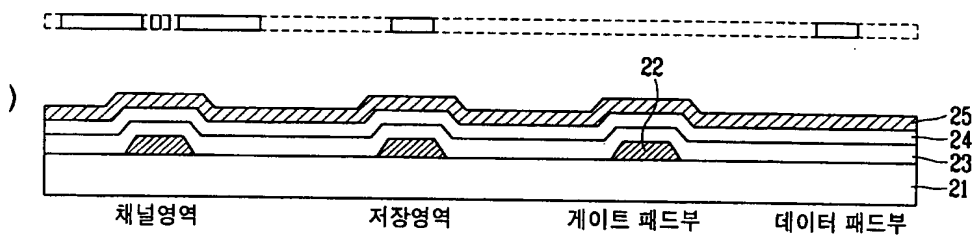
【도 2a】



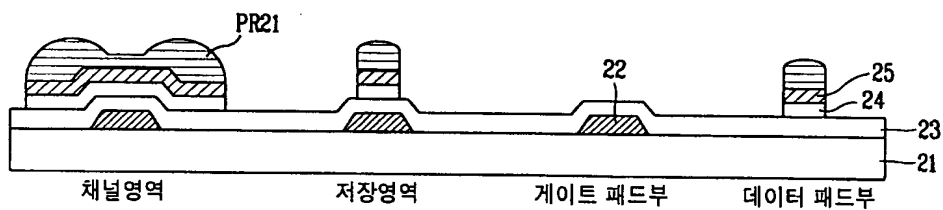
【도 2b】



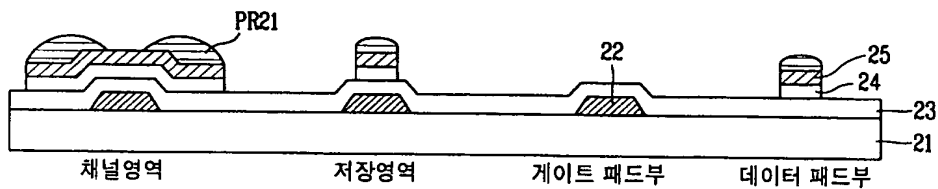
【도 2c】



【도 2d】



【도 2e】

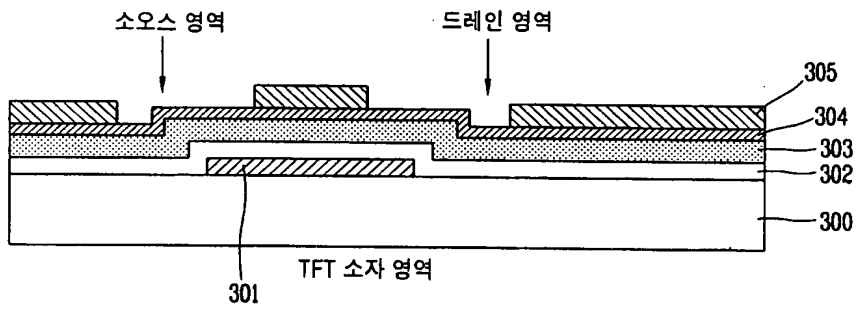


A cross-sectional view of a semiconductor device. The device consists of a substrate with a thin layer (21) and a thicker layer (23) on top. The device is divided into four regions: a channel region (채널영역) on the left, a storage region (저장영역) in the middle, a gate pad (게이트 패드부) on the right, and a data pad (데이터 패드부) on the far right. The channel region contains a gate stack (26) and a source/drain region (27). The storage region contains a gate stack (22). The gate pad contains a gate stack (24) and a pad layer (25). The data pad contains a pad layer (25). The labels 21, 22, 23, 24, 25, 26, and 27 are used to identify specific components.

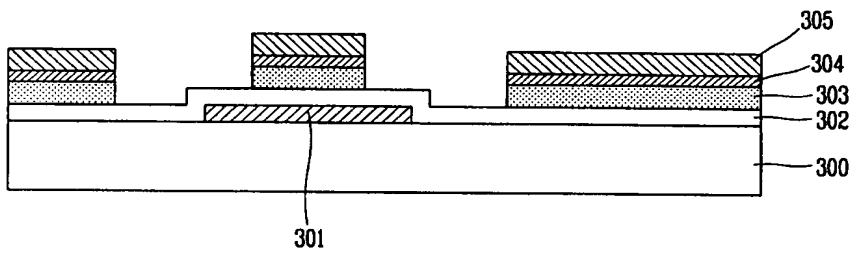
A cross-sectional view of a semiconductor device. The device is built on a substrate (21) with a thin layer (23) on top. The structure is divided into four main regions: '채널영역' (Channel region), '저장영역' (Storage region), '게이트 패드부' (Gate pad), and '데이터 패드부' (Data pad). The channel region (26) contains a gate stack (27) and a channel layer (29). The storage region (30) contains a gate stack (31) and a storage layer (25). The gate pad (22) is a thin layer between the storage region and the data pad. The data pad (24) is a thick layer on top of the gate pad. The labels 26, 27, 29, 30, 31, 25, 24, 23, and 21 are placed near their respective components.

Figure 1 is a schematic cross-sectional view of a substrate 300. A patterned layer 301 is formed on the top surface of the substrate 300. The layer 301 is shown as a rectangular block with diagonal hatching, positioned on the upper surface of the substrate 300.

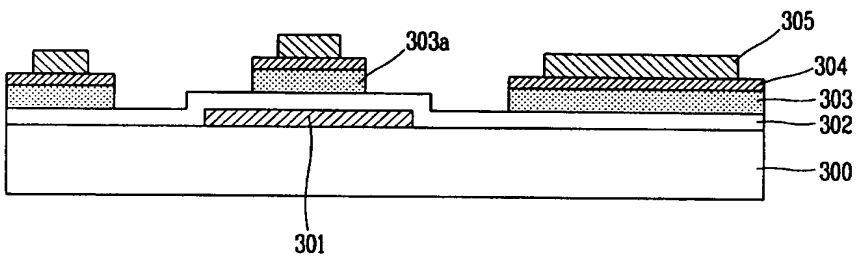
【도 3b】



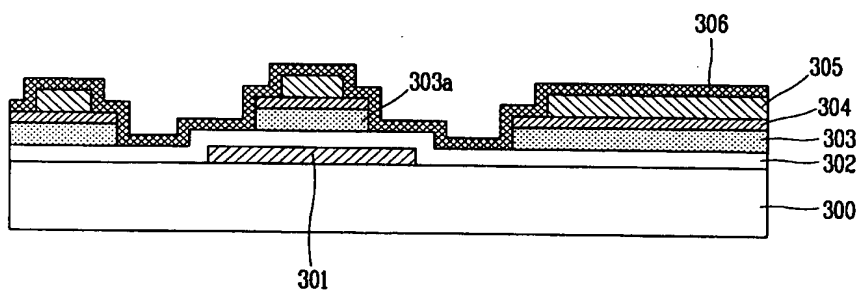
【도 3c】



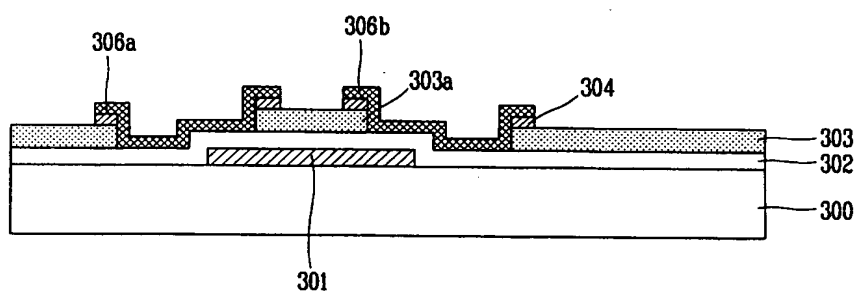
【도 3d】



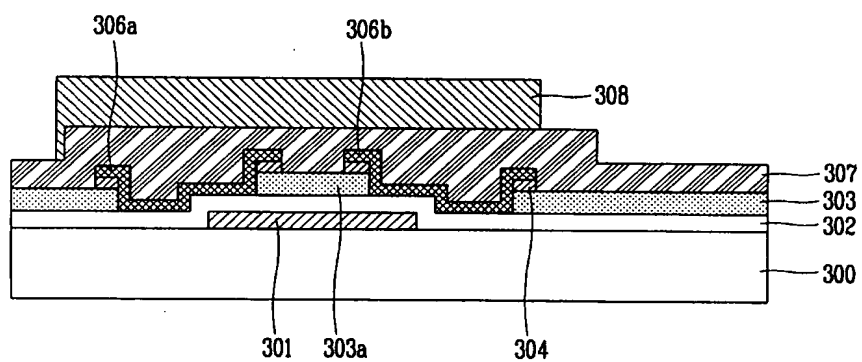
【도 3e】



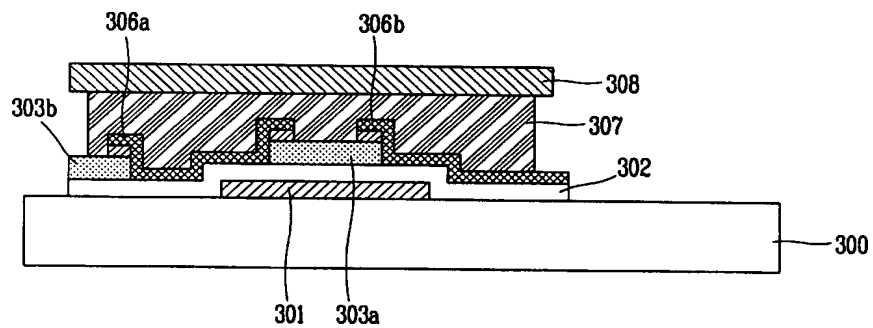
【도 3f】



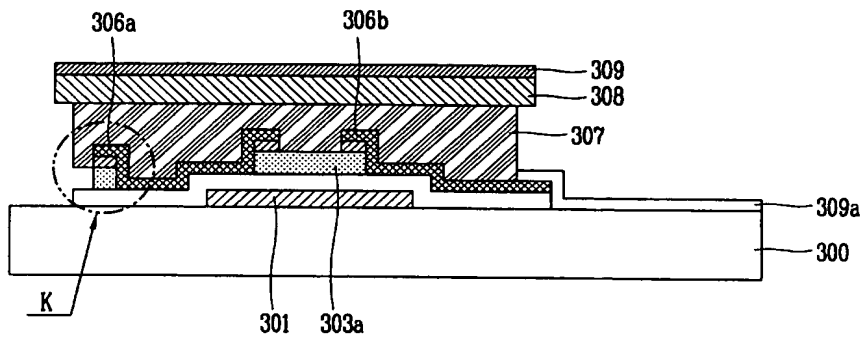
【도 3g】



【도 3h】



【도 3i】



【도 3j】

